

## ТЕОРИЈА ЗА ДРУГИ КОЛОКВИЈУМ ИЗ АРХИТЕКТУРЕ РАЧУНАРА

1. Посматра се магистрала са подељеним циклусима која се састоји од адресних линија, линија података и управљачких линија и на којој се реализују циклус слање захтева за читање, циклус слање захтева за упис и циклус враћање податка.

а) Навести које информације по адресним линијама и линијама података и које сигнале по управљачким линијама размењују газда и слуга приликом реализације сваког од наведена три циклуса на магистралаи. Одговор дати табеларно.

Циклус	Линије	Информације	Ко поставља
--------	--------	-------------	-------------

1) Циклус слања захтева за читање:

- ABUS - газда шаље адресу
- DBUS - газда шаље свој идентификатор
- ACKBUS, #RDBUS, #FCBUS (код асинхроне магистрале) - управљачки сигнали које размењују газда и слуга

2) Циклус слање захтева за упис:

- ABUS - газда шаље адресу
- DBUS - газда шаље податак за упис
- ACKBUS, #WRBUS, #FCBUS (код асинхроне магистрале) - управљачки сигнали које размењују газда и слуга

3) Циклус враћања података:

- ABUS - газда шаље претходно примљени идентификатор
- DBUS - газда шаље прочитани податак
- #DABUS, ACKBUS, #FCBUS (код асинхроне магистрале) - управљачки сигнали које размењују газда и слуга

б) Навести шта све треба да постоји од хардвера на страни меморијског модула да би три наведена циклуса могла да се реализују.

- адресни регистар - у регистар се смешта адреса у "коју се уписује/из које се чита" податак

- регистар података - у регистар се смешта податак "који је прочитан/који се уписује"

- регистар идентификатора - у регистар се смешта посебан идентификатор за идентификацију уређаја коме треба вратити податак

2. Контролер излазне периферије и излазна периферија за међусобно повезивање користе паралелни интерфејс који се састоји од линија података, једне статусне линије и једне управљачке линије. Статусном линијом контролер излазне периферије даје индикацију периферији да ли се у његовом регистру податка већ налази податак који је доступан на линијама података, док периферија управљачком линијом обезбеђује читање податка са линија података у свој интерни регистар.

а) Посматра се синхронизација између процесора и контролера периферије. Навести по ком редоследу и како се размењују информације (не обавезно сигнали) између контролера и процесора како би се обавио трансфер.

Редослед      Информација      Значење      Ко поставља

Контролер, када прими податак у свој регистар података, чека све док периферија на статусну линију не постави неактивну вредност, чиме сигнализира да је спремна за прихватање податка од контролера. Периферија држи статусну линију на активној вредности све док не упише податак из свог регистра података. Када детектује неактивну вредност на статусној линији, контролер поставља управљачку линију на активну вредност, чиме започиње упис податка из свог регистра података у регистар података периферије. Периферија на активну вредност управљачке линије одговара постављањем статусне линије на активну вредност и започиње упис податка из свог регистра података. Контролер на активну вредност статусне линије одговара постављањем управљачке линије на неактивну вредност и постаје спреман да прими наредни податак који треба проследити периферији.

**б) Након завршеног трансфера податка од процесора до контролера, која линија између контролера и периферије мења вредност, која је била стара вредност и које је значење нове вредности?**

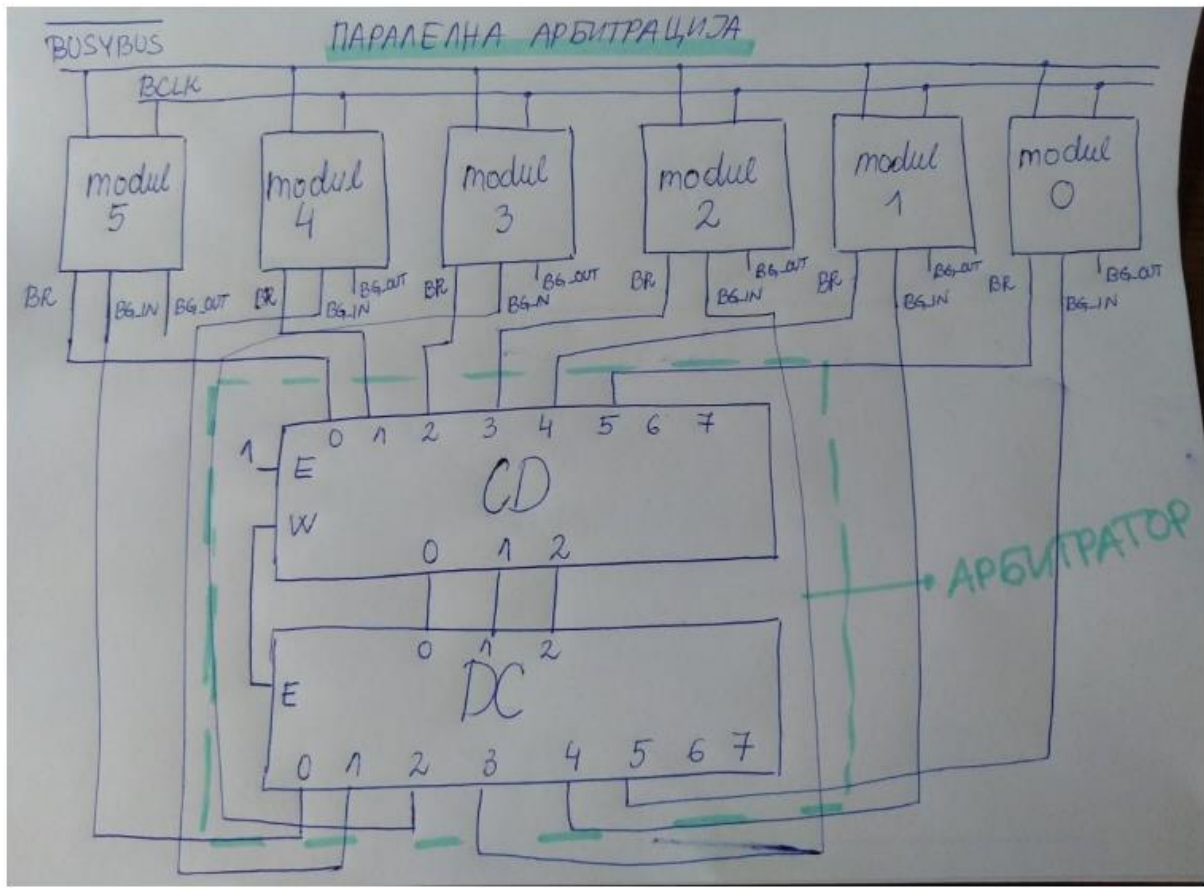
Линија      Стара      Нова      Значење  
вредност      вредност

3. Посматра се асинхрона магистрала са атомским циклусима. За циклус читања потребно је описати које сигнале размењују газда и слуга. Одговор треба да садржи: који је то сигнал по редоследу, о којим линијама магистрале се ради, која се вредност налази на датим линијама, шта је значење датих линија у датом тренутку, ко је поставио дате линије, и колико износи односно чиме је одређено кашњење приликом постављања сигнала на дате линије у односу на претходно постављени сигнал. Одговор дати табеларно.

Редослед	Линије	Вредност	Значење	Ко поставља	Колико касније
0	ABUS,DBUS,notRDBUS,notFCBUS	Stanje visoke impedanse	Ciklus jos nije pokrenut	ABUS,notRDBUS gazda,DBUS,notFCBUS sluga	7
1	ABUS,notRDBUS	Na ABUS adresa lokacije,na RDBUS neaktivna vred.	Gazda krece sa ciklusom citanja, stavljacuci adresu koju moduli primaju i proveravaju, neaktivnom vred. RDBUS gazba obavestava sve da je gazda na magistrali, ali to niko ne zna.	Gazda	Nema kasnjenja

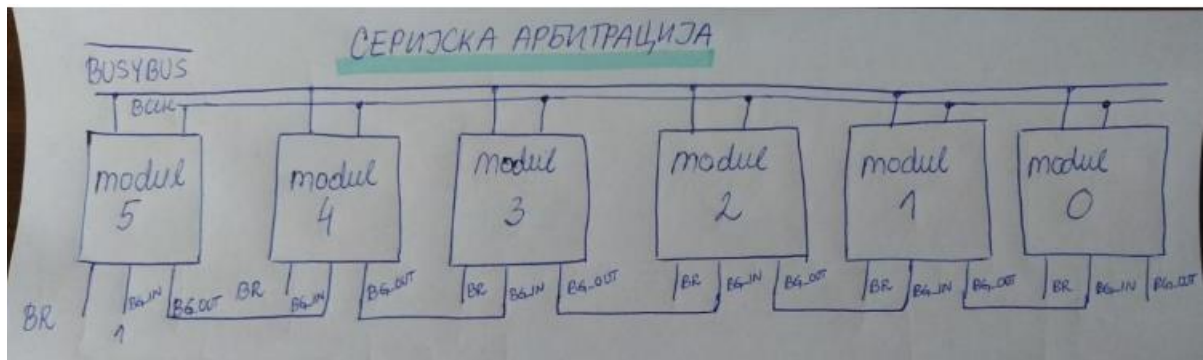
2	notRDBUS	Aktivna vrednost	Ovaj signal prima modul koji je prepoznao adresu u prethodnom koraku i postaje sluga	Gazda	Kada se završi provera adresa u svim modulima
3	DBUS,notFCBUS	Na DBUS nedefinisana vred,na FCBUS neaktivna vred	Sluga zapocinje citanje	Sluga	Kada se modul odozove na RDBUS signal
4	DBUS,notFCBUS	DBUS ocitani sadrzaj,FCBUS aktivna vred	Sluga je završio citanje	Sluga	Kada sluga završi citanje
5	NotRDBUS	Neaktivna vrednost	Gazda je upisao sadrzaj u svoj registar i nisu mu potrebni podaci sa DBUS vise	Gazda	Kada gazda procita podatke
6	DBUS,notFCBUS	DBUS i FCBUS se vracaju u stanje visoke impedanse	Sluga reaguje na gazdino citanje podataka	Sluga	Kada sluga primeti neaktivnu vred RDBUS
7	ABUS,notRDBUS	Vracaju se u stanje visoke impedanse	Gazda završava ciklus citanja	Gazda	Kada gazda primeti promeni FCBUS signala

4. Модули mod5, mod4, mod3, mod2, mod1 и mod0, од којих је mod5 највишег, а mod0 најнижег приоритета, учествују у арбитражи да би могли да реализују циклус на магистрали.  
а) Нацртати структуру арбитража за случај паралелне арбитраже и повезати ове модуле на арбитраж, и међусобно, водећи рачуна о њиховим приоритетима. Објаснити како се реализује арбитража.



У случају паралелне арбитрације постоји посебан уређај који се назива арбитратор и који се састоји од кодера приоритета CD и декодера DC. Између модула који желе да реализују неки циклус на магистралу и арбитратора постоји пар линија BR и BG\_IN. По линији BR модул шаље захтев за коришћење магистрале, а по линији BG\_IN арбитратор шаље модулу дозволу коришћења магистрале, а BG\_OUT се не користи. Узето да арбитратор има 8 линија улаза и излаза, и линија 0 је највишег а линија 5 је најнижег приоритета. Уколико захтеви за коришћење магистрале стигну по више линија BR истовремено, дозвола се даје само по једној линији BG\_IN и то оној која одговара линији BR највишег приоритета по којој је упућен захтев за коришћење магистрале.

б) Нацртати како ове модуле треба повезати да би могла да се реализује серијска арбитрација водећи рачуна о њиховим приоритетима. Објаснити како се реализује арбитрација.



У случају серијске арбитрације модули су повезани у ланац линија BG\_IN и BG\_OUT. Модул који је први у ланцу је највишег приоритета, а модул који је последњи у ланцу је најнижег приоритета. На линији BG\_IN модула првог у ланцу је 1, чиме се обезбеђује да он има дозволу коришћења магистрале. Ако он има захтев за коришћење магистрале он ће реализовати свој циклус на магистралу, а преко своје линије BG\_OUT на линију BG\_IN следећег модула у ланцу послати вредност 0 као индикацију да нема прослеђивања дозволе коришћења магистрале. Вредност 0 на линији BG\_IN модула даје вредност 0 на линији BG\_OUT. У овом случају сви преостали модули у ланцу на својим линијама BG\_IN имају вредност 0 и тиме немају дозволе коришћења магистрале. Ако он нема захтев за коришћење магистрале онда он неће реализовати циклус на магистралу, а преко своје линије BG\_OUT на линију BG\_IN следећег модула у ланцу шаље вредност 1 као индикацију да он прослеђује дозволу коришћења магистрале следећем модулу у ланцу. Овај модул се по добијању вредности 1 на свом улазу BG\_IN понаша на идентичан начин као претходни модул.

в) Дати систем за арбитрацију не гарантује да модул који је у неком тренутку добио право да реализује циклус на магистралу стварно и буде први следећи модул који користи магистралу. Дати пример који поткрепљује ову тврдњу.

Ако нпр. модул 3 затражи магистралу док је користи модул 4, модул 3 ће добити дозволу, али ће BUSYBUS бити активан и неће моћи да изађе на магистралу, у неком наредном тренутку модул вишег приоритета од модула 3 поставља захтев за коришћење, што укида дозволу модулу 3 и он неће бити први следећи.

5. Посматра се систем који се састоји из процесора, контролера за директни приступ меморији (DMA) и меморије повезаних магистралом у коме процесор управља коришћењем магистрале. Навести сигнале које DMA и процесор размењују у ситуацијама када DMA жели да користи магистралу. Нацртати и објаснити временске облике сигнала које том приликом DMA и процесор размењују за три карактеристичне ситуације.

Сигнали које процесор и контролер размењују су:

- hreq - овај сигнал контролер шаље када захтева магистралу да би реализовао неки циклус на њој
- hask - овај сигнал процесор шаље контролеру када му одобри захтев за коришћење магистрале

Постоје три карактеристична случаја:

1. ни уређај ни процесор не чекају (DMA уређај тражи магистралу постављањем  $hreq$  на 1. Магистрала је слободна па процесор постављањем  $hack$  на 1 даје дозволу. Након завршетка циклуса DMA поставља  $hreq$  на 0, тиме означава да му магистрала више није потребна. На  $hreq = 0$  реагује процесор постављањем  $hack = 0$ ).

2. уређај чека процесор (DMA уређај тражи магистралу постављањем  $hreq$  на 1. Магистрала је заузета па уређај чека да процесор заврши свој циклус. Након што је завршио циклус процесор постављањем  $hack$  на 1 даје магистралу DMA уређају. Након завршетка циклуса DMA поставља  $hreq$  на 0, тиме означава да му магистрала више није потребна. На  $hreq = 0$  реагује процесор постављањем  $hack = 0$ ).

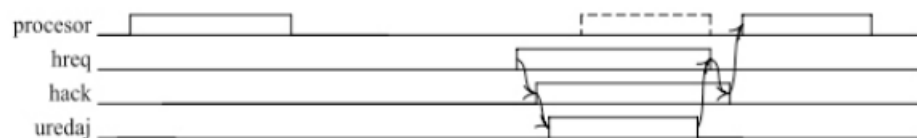
3. процесор чека уређај (DMA уређај тражи магистралу постављањем  $hreq$  на 1. Магистрала је слободна па процесор постављањем  $hack$  на 1 даје дозволу. У току извршавања циклуса DMA, процесор тражи магистралу. Процесор мора да сачека да DMA заврши циклус. Након завршетка циклуса DMA поставља  $hreq = 0$ , тиме означава да му магистрала више није потребна. На  $hreq = 0$  процесор реагује постављањем  $hack = 0$ . Сада процесор може да користи магистралу).



Slika 3 Uređaj i procesor ne čekaju



Slika 4 Uređaj čeka procesor



Slika 5 Procesor čeka uređaj

6. Контролер улазне периферије и улазна периферија за међусобно повезивање користе паралелни интерфејс који се састоји од линија података, једне статусне линије и једне управљачке линије. Статусном линијом контролер улазне периферије даје индикацију периферији да ли у његов регистар податка може да се уписује садржај са линија података, док периферија управљачком линијом обезбеђује упис податка са линија података у регистар податка контролера улазне периферије.

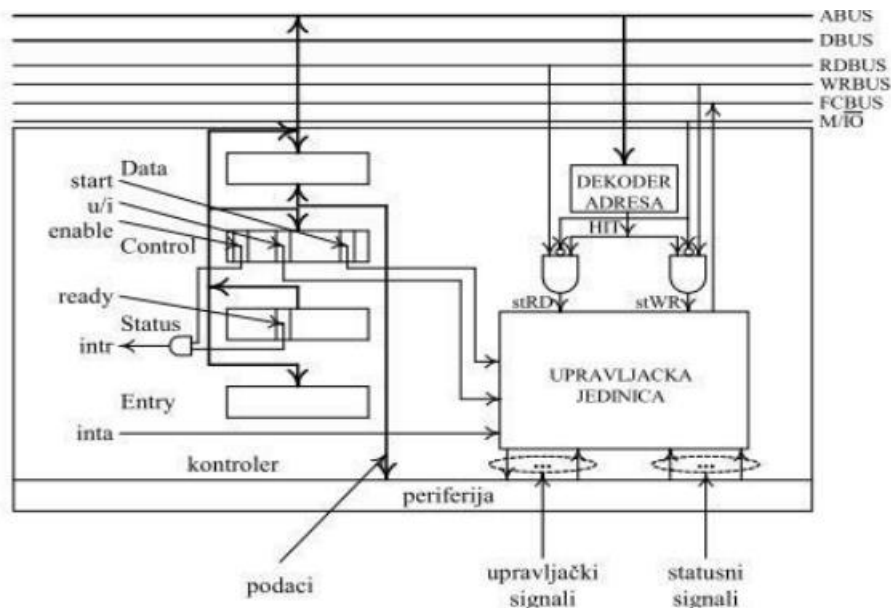
За прва два преузета податка навести по ком редоследу се линије података, статусна линија контролера периферије и управљачка линија периферије користе за синхронизацију и слање података из периферије у контролер периферије. Уколико је приступ споља неком регистру (или регистрима) контролера утицао на постављање датог сигнала назначити о ком се регистру и вредности у датом регистру ради. Уколико постављање датог сигнала утиче на упис у неки

регистар (или регистре) контролера назначити тај регистар и вредност која се уписује. Одговор дати табеларно.

Редослед	Линије	Вредност	Значење	Ко поставља	Регистар и вредност
----------	--------	----------	---------	-------------	---------------------

8. Посматра се контролер улазно/излазне периферије без директног приступа меморији.

а) Нацртати структуру контролера.



Slika 1 Kontroler bez direktnog pristupa memoriji

б) Објаснити функцију свих делова контролера.

Контролер се састоји из:

- операционе јединице, коју чине:

- регистри Data, Control, Status, Entry

- Data - регистар података у коме се смештају подаци који долазе од периферије (при улазу), односно из меморије (при излазу)

- Control - управљачки регистар (уписом одговарајућих вредности у овај регистар врши се иницијализација, стартовање и заустављање контролера периферије)

- Status - статусни регистар (даје информацију о томе да ли је пренос података из регистра података завршен или не, и да ли можемо да кренемо са уписом наредног податка у регистар података)

- Entry - у овом регистру се чува број улаза у IV табели (на коме се налази адреса прекидне рутине која врши одговарајући пренос из регистра података у периферију или меморију)

- комбинациона мрежа за препознавање циклуса читања и уписа

- Декодер адреса - сигнал HIT са његовог излаза постаје активан ако адреса са ABUS линија представља адресу неке од локација у оквиру датог модула

■ сигнали stRD и stWR - ови сигнали су активни ако се врши читање из периферије, односно упис у периферију (формирају се на основу управљачких сигнала M/#IO, RDBUS, WRBUS, HIT)

● управљачке јединице

- активира се по пријему активних вредности сигнала stRD, stWR, inta или start;
- уколико су активни сигнали stRD или stWR, управљачка јединица ће генерисати сигнале неопходне за пуштање садржаја адресираног регистра на DBUS линије, односно сигнале неопходне да би се садржај са DBUS линија уписао у адресирани регистар;
- уколико је активан сигнал inta тада управљачка јединица генерише сигнале неопходне да се садржај регистра Entry пусти на DBUS линије;
- уколико се ради о асинхроној магистралу, управљачка јединица генерише и одговарајуће вредности сигнала FCBUS;
- управљачка јединица генерише сигнале неопходне за читање из периферије или упис у периферију, само ако је бит start контролног регистра постављен на активну вредност;

в) Објаснити којим битовима и у којим регистрима се задају могући режими рада контролера и добијају информације како се одвија пренос података.

Функција специфичних битова регистра контролера (формат: регистар::бит):

- Control::start - активном вредношћу овог бита стартује се контролер периферије и пренос блока података, а неактивном вредношћу се контролер периферије и пренос блока података зауставља
- Control::u/i - код улазно/излазних периферија, активном вредношћу овог бита одређујемо да контролер ради у режиму улаза, а неактивном вредношћу да контролер ради у режиму излаза
- Control::enable - активном вредношћу овог бита се генерише сигнал прекида intr сваки пут када се у бит ready упише активна вредност, док у супротном нема генерисања сигнала прекида (некативна вредност бита enable); процесор одговара на захтев за прекид слањем активне вредности на inta
- Status::ready - активна вредност овог бита означава да је Data регистар расположив (у случају улаза: податак је спреман за пренос у меморију; у случају излаза: нови податак може да се упише у регистар), а неактивна да је пренос податка из Data регистра у меморију или периферију (у зависност да ли је реч о улазној или излазној периферији) још у току

д) У специјалним случајевима неки од наведених битова нису неопходни. Дати пример и објаснити у ком случају који од наведених битова не мора да постоји.

Ако је уређај само излазни или само улазни, нема потребе да постоји u/i бит, ако уређај не може да генерише прекиде нема потребе да постоји enable bit, bit start такође не мора да постоји, већ се може само задавати задатак контролеру и тако покретати уређај.

9. Контролер улазне периферије и улазна периферија за међусобно повезивање користе паралелни интерфејс који се састоји од линија података, једне статусне линије и једне управљачке линије. Статусном линијом контролер улазне периферије даје индикацију периферији да ли у његов регистар податка може да се уписује садржај са линија података, док



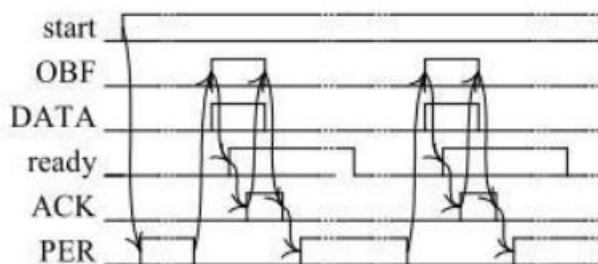
периферија управљачком линијом обезбеђује упис податка са линија података у регистар податка контролера улазне периферије.

а) Навести по ком редоследу се статусна линија контролера периферије и управљачка линија периферије користе за синхронизацију при слању података из периферије у контролер периферије. Одговор дати табеларно.

Редослед	Линија	Вредност	Значење	Ко поставља
----------	--------	----------	---------	-------------

Док год нема податак, контролер чека да периферија постави активну вредност на статусну линију. Чим периферија у свој регистар података смести наредни податак за слање контролеру, она поставља активну вредност на статусну линију чиме сигнализира контролеру да може да преузме податак уколико је контролер спреман. Када контролер заврши са преносом претходног податка, уколико је статусна линија постављена на активну вредност, он почиње са преузимањем наредног податка од периферије и смешта га у свој Data регистар. Када заврши са преузимањем податка, управљачку линију поставља на активну вредност. Периферија на активну вредност на управљачкој линији одговара постављањем неактивне вредности на статусну линију (чиме сигнализира да податак на DATA линијама није више расположив), а контролер на неактивну вредност на статусној линији одговара постављањем неактивне вредности на управљачку линију, чиме сигнализира периферији да је примио податак и да периферија може да започне припрему наредног податка.

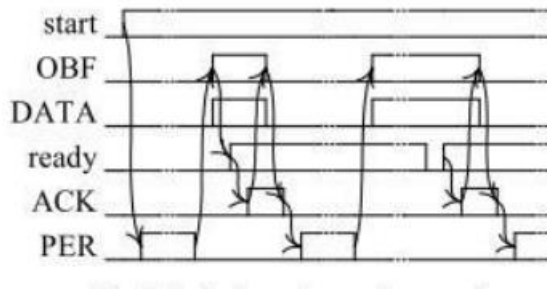
б) За случај споре периферије нацртати временске облике сигнала и навести које сигнале и по ком редоследу генеришу периферија и контролер периферије.



Редослед генерисања сигнала:

- start = 1 (стартовање контролера периферије)
- OBF = 1 (статусна линија)
- ready = 1 (контролер је примио податке које је послала периферија)
- ACK = 1 (управљачка линија)
- OBF = 0 (статусна линија)
- ACK = 0 (управљачка линија)
- ready = 0 (контролер је проследио податак и спреман је за пренос наредног)
- OBF = 1 (статусна линија) //наредни податак је спреман, а контролер је већ завршио пренос претходног

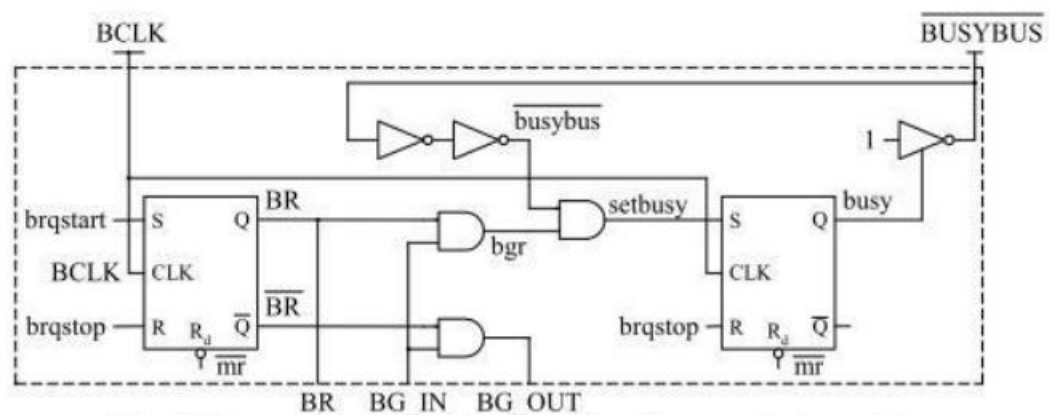
в) За случај брзе периферије нацртати временске облике сигнала и навести које сигнале и по ком редоследу генеришу периферија и контролер периферије.



Редослед генерисања сигнала:

- start = 1 (стартовање контролера периферије)
- OBF = 1 (статусна линија)
- ready = 1 (контролер је примио податке које је послала периферија)
- ACK = 1 (управљачка линија)
- OBF = 0 (статусна линија)
- ACK = 0 (управљачка линија)
- OBF = 1 (статусна линија) //наредни податак је спреман, али контролер још није пренео претходни
- ready = 0 (контролер је проследио податак и спреман је за пренос наредног)

10. Нацртати и објаснити шему дела модула који се користи у арбитражији са праћењем. Шема треба да укључи делове који подржавају и паралелну и серијски арбитражију, синхронизацију на сигнал такта магистрале и сигнал заузећа магистрале.



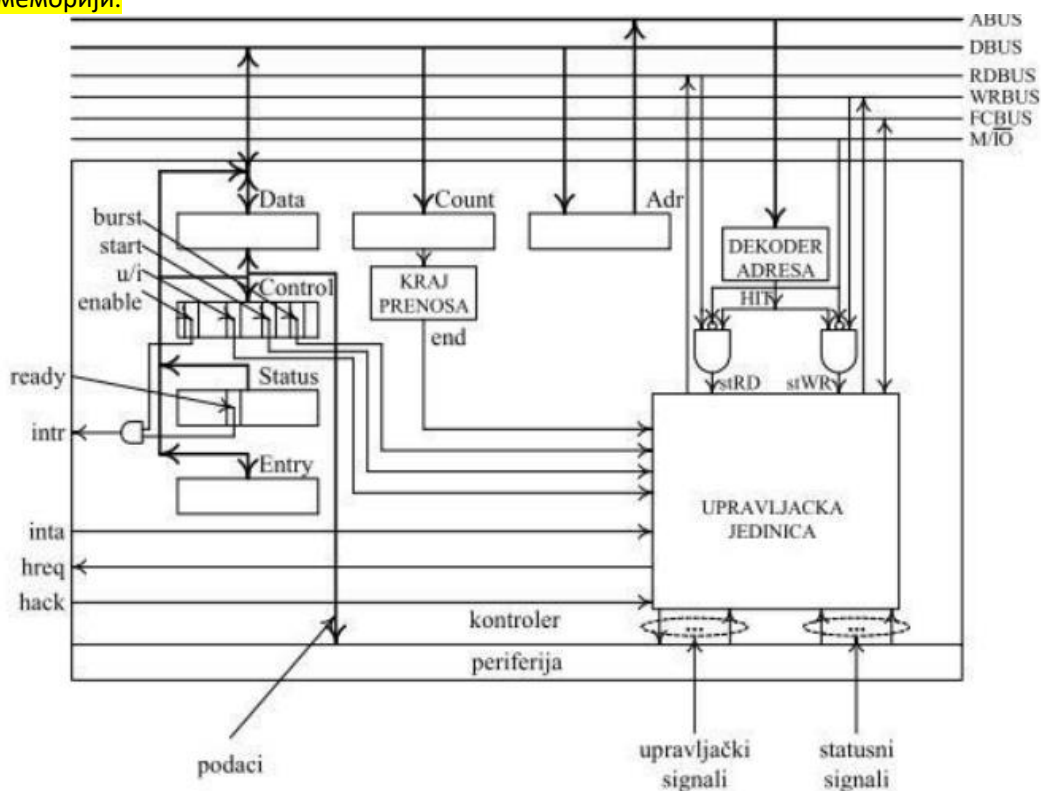
Slika 8 Deo modula za realizaciju arbitracije sa praćenjem zahteva

На магистралу су у општем случају везани различити уређаји. Истовремено магистралу може да користи један и само један уређај. Ко добија магистралу на коришћење одређује

специјални уређај - контролер који се назива арбитраор. Арбитраор може да буде и процесор, па у том случају он одређује коме ће дати магистралу на коришћење. На слици 8 је дат део модула који уређај користи да би послао захтев арбитраору и да би могао да "обрати одговор". Када је уређају потребна магистрала за реализацију неког циклуса, ово су кораци које извршава:

- активном вредношћу сигнала `brqstart` уређај уписује у BR флип-флоп јединицу, па се на линији BR појављује јединица
- сигнал BR иде ка арбитраору и означава да је уређај затражио магистралу, BR остаје постављен на 1, најпре док се не добије дозвола коришћења магистрале и затим док се не обави комплетан циклус на магистрали. По завршетку циклуса на магистрали генерише се сигнал завршетка коришћења магистрале `brqstop`.
- Затим, уређај који је добио магистралу на коришћење чека да се магистрала ослободи.
- Када се магистрала ослободи, сигнал `#BUSYBUS` се налази у стању високе импедансе, сигнал `#busybus` ће бити постављен на 1. Такође ће сигнал `setbusy` бити 1 јер су `#busybus` и `bgr` једнаки 1.
- Активном вредношћу `setbusy` сигнал `busy` ће бити постављен на 1 што значи да је уређај заузео магистралу.
- Сигнал дозволе коришћења магистрале се добија по линији `BG_IN` и у случају паралелне и у случају серијске арбитрације. У случају паралелне арбитрације сигнал дозволе се добија од арбитраора а у случају серијске арбитрације сигнал дозволе се добија од модула претходника у ланцу.
- У случају паралелне арбитрације сигнал `BG` се повезује на арбитраор, а сигнал `BG_OUT` се не користи.
- Код серијске арбитрације сигнал `BG_OUT` се повезује на сигнал `BG_IN` следбеника у ланцу

11. а) Нацртати структуру контролера улазно/излазне периферије са директним приступом меморији.



Slika 12 Kontroler sa direktnim pristupom memoriji

**б) Објаснити функцију свих делова контролера.**

Контролер се састоји из:

● операционе јединице, коју чине:

○ регистри Data, Control, Status, Entry, Count, Adr

■ Data - регистар података у коме се смештају подаци који долазе од периферије (при улазу), односно из меморије (при излазу)

■ Control - управљачки регистар (уписом одговарајућих вредности у овај регистар врши се иницијализација, стартовање и заустављање контролера периферије)

■ Status - статусни регистар (даје информацију о томе да ли је пренос података из регистра података завршен или не, и да ли можемо да кренемо са уписом наредног податка у регистар података)

■ Entry - у овом регистру се чува број улаза у IV табели (на коме се налази адреса прекидне рутине која врши одговарајући пренос из регистра података у периферију или меморију)

■ Count - регистар величине блока података (у њему се чува број података које треба пренети); сигнал end на излазу комбинационе мреже "Крај преноса" имаће активну вредност када су пренети сви потребни подаци, односно, цео блок података

■ Adr - адресни регистар (у овом регистру се чува адреса меморијских локација у које се уписују подаци из регистра података)

○ комбинациона мрежа за препознавање циклуса читања и уписа

■ Декодер адреса - сигнал HIT са његовог излаза постаје активан ако адреса са ABUS линија представља адресу неке од локација у оквиру датог модула

■ сигнали stRD и stWR - ови сигнали су активни ако се врши читање из периферије, односно упис у периферију (формирају се на основу управљачких сигнала M/#IO, RDBUS, WRBUS, HIT)

● управљачке јединице

○ активира се по пријему активних вредности сигнала stRD, stWR, inta или start;

○ уколико су активни сигнали stRD или stWR, управљачка јединица ће генерисати сигнале неопходне за пуштање садржаја адресираног регистра на DBUS линије, односно сигнале неопходне да би се садржај са DBUS линија уписао у адресирани регистар;

○ уколико је активан сигнал inta тада управљачка јединица генерише сигнале неопходне да се садржај регистра Entry пусти на DBUS линије;

○ уколико се ради о асинхроној магистралу, управљачка јединица генерише и одговарајуће вредности сигнала FCBUS;

○ активном вредношћу сигнала hreq контролер шаље арбитратору захтев за коришћење магистрале, а арбитратор му одговара на захтев активном вредношћу сигнала hask;

○ управљачка јединица генерише сигнале неопходне за читање из периферије или упис у периферију, само ако је бит start контролног регистра постављен на активну вредност;

**в) Објаснити којим битовима и у којим регистрима се задају могући режими рада контролера и добијају информације како се одвија пренос података.**

Функција специфичних битова регистра контролера (формат: регистар::бит):

- Control::start - активном вредношћу овог бита стартује се контролер периферије и пренос блока података, а неактивном вредношћу се контролер периферије и пренос блока података зауставља
- Control::u/i - код улазно/излазних периферија, активном вредношћу овог бита одређујемо да контролер ради у режиму улаза, а неактивном вредношћу да контролер ради у режиму излаза
- Control::enable - активном вредношћу овог бита се генерише сигнал прекида intr сваки пут када се у бит ready упише активна вредност, док у супротном нема генерисања сигнала прекида (некативна вредност бита enable); процесор одговара на захтев за прекид слањем активне вредности на inta
- Control::burst - активном вредношћу овог бита се пренос блока података реализује у пакетском режиму рада (у овом режиму рада, контролер по добијању дозволе коришћења магистрале, држи магистралу заузету све док не пренесе цео блок података)
- Status::ready - активна вредност овог бита означава да је Data регистар расположив (у случају улаза: податак је спреман за пренос у меморију; у случају излаза: нови податак може да се упише у регистар), а неактивна да је пренос податка из Data регистра у меморију или периферију (у зависност да ли је реч о улазној или излазној периферији) још у току

12. Посматра се систем који се састоји из процесора, контролера за директни приступ меморији (DMA) и меморије повезаних синхорном магистралом у коме процесор управља коришћењем магистрале. Навести сигнале које DMA, процесор и меморија размењују у ситуацијама кад DMA жели да чита из меморије. Навести по ком редоследу и објаснити које све сигнале размењују DMA контролер, процесор и меморија приликом пребацивања једног податка из блока података из меморије на излазну периферију. Одговор дати табеларно.

Редослед	Линија	Вредност	Значење	Ко поставља
----------	--------	----------	---------	-------------

13. Унос података из улазне периферије у меморију реализује се помоћу контролера без директног приступа меморији и контролера са директним приступом меморији који су повезани као на слици. Нацртати и објаснити које све сигнале и по ком редоследу размењују ови контролери између себе и са процесором и меморијом, приликом пребацивања блока података из улазне периферије у неки део меморије.

1. Контролер без директног приступа меморији (у даљем тексту nonDMA) прихвата податак добијен од периферије и смешта га у свој регистар података.

2. Након тога nonDMA контролер обавештава DMA контролер да је податак спреман постављањем сигнала DREQ на активну вредност.

3. DMA контролер затим поставља активну вредност на линију hreq чиме шаље процесору захтев за коришћење магистрале.

4. Након што добије дозволу преко активне вредности на линији `hask`, DMA контролер на `ABUS` линије поставља адресу на коју се уписује податак, а затим поставља сигнал `DACK` на активну вредност, чиме сигнализира `nonDMA` контролеру да може да постави податак из свог регистра података на `DBUS` линије.

5. Затим DMA контролер стартује упис по чијем завршетку уклања адресу са `ABUS` линија, поставља сигнал `DACK` на неактивну вредност чиме сигнализира `nonDMA` контролеру да може да уклони податак са `DBUS` линија, и укида захтев за коришћење магистрале.

6. `nonDMA` контролер скида податак са линија података магистрале и поставља `DREQ` на неактивну вредност.

7. DMA контролер затим инкрементира адресни регистар и декрементира регистар броја речи преосталих за пренос, а `nonDMA` контролер започиње читање наредног податка из периферије.

8. претходне тачке се понављају све док се не пренесе читав блок података #напомена: слика је преобимна, и може се представити преко четири циклуса (размене сигнала између контролера, слање захтева и добијање дозволе за коришћење магистрале, асинхрони упис, размена сигнала између контролера)

14. Посматра се асинхрона магистрала са атомским циклусима. За циклус уписа потребно је описати које сигнале размењују газда и слуга. Одговор треба да садржи: који је то сигнал по редоследу, о којим линијама магистрале се ради, која се вредност налази на датим линијама, шта је значење датих линија у датом тренутку, ко је поставио дате линије, и колико износи односно чиме је одређено кашњење приликом постављања сигнала на дате линије у односу на претходно постављени сигнал. Одговор дати табеларно.

Редослед	Линије	Вредност	Значење	Ко поставља	Колико касније
0	<code>ABUS,DBUS,notWRBUS,notFCBUS</code>	Stanje visoke impedanse	Ciklus jos nije pokrenut	<code>ABUS,notWRBUS,DBUS gazda,notFCBUS sluga</code>	/
1	<code>ABUS,notWRBUS,DBUS</code>	Na <code>ABUS</code> адреса локације, на <code>DBUS</code> податак који треба да се уписе, на <code>WRBUS</code> неактивна вред.	Gazda kreće sa ciklusom upisa, stavljajući adresu koju moduli primaju i proveravaju, neaktivnom vred. <code>WRBUS</code> gazba obavestava sve da je gazda na magistrali, ali to niko ne zna.	Gazda	Nema kasnjenja
2	<code>notWRBUS</code>	Aktivna vrednost	Ovaj signal prima modul koji je	Gazda	Kada se završi provera

			prepoznao adresu u prethodnom koraku i postaje sluga		adresa u svim modulima
3	notFCBUS	Neaktivna vred	Sluga zapocinje upis	Sluga	Kada se modul odozove na WRBUS signal
4	notFCBUS	Aktivna vred	Sluga je završio upis	Sluga	Kada sluga završi upis
5	NotWRBUS	Neaktivna vrednost	Gazda reaguje na promenu FCBUS i povlaci zahtev za upis	Gazda	Kada sluga završi upis
6	notFCBUS	Stanje visoke impedanse	Sluga reaguje na gazdino povlacenje zahteva za upis	Sluga	Kada sluga primeti neaktivnu vrednost WRBUS
7	ABUS,DBUS,notWRBUS	Vracaju se u stanje visoke impedanse	Gazda završava ciklus upisa	Gazda	Kada gazda primeti promenu FCBUS signala

15. Посматра се асинхрона магистрала са атомским циклусима. За циклус прихватања броја улаза потребно је описати које сигнале размеђују газда и слуга. Одговор треба да садржи: који је то сигнал по редоследу, о којим линијама магистрале се ради, која се вредност налази на датим линијама, шта је значење датих линија у датом тренутку, ко је поставио дате линије, и колико износи односно чиме је одређено кашњење приликом постављања сигнала на дате линије у односу на претходно постављени сигнал. Одговор дати табеларно.

U ovom kontekstu gazda je procesor, a sluga je periferija.

Редослед	Линије	Вредност	Значење	Ко поставља	Колико касније
0	DBUS,inta,notFCBUS	Stanje visoke impedanse	Ciklus jos nije pokrenut	Inta gazda,DBUS,notFCBUS sluga	7
1	inta	Aktivna vrednost	Gazda krece sa ciklusom prihvatanja broja ulaza, stavljajuci inta koju moduli	Gazda	Nema kasnjenja

			primaju i proveravaju.		
2	noFCBUS	Neaktivna vrednost	Sluga pocinje da salje broj ulaza	Sluga	Kada se zavrshi provera inta u svim modulima
3	DBUS,notFCBUS	Na DBUS broj ulaza,na FCBUS neaktivna vred	Sluga je poslao ulaz	Sluga	Kada sluga posalje ulaz
4	inta	Neaktivna vrednost	Gazda je procitao broj ulaza i obara inta	Gazda	Kada gazda zavrshi citanje
5	NotFCBUS,DBUS	Stanje visoke impedanse	Sluga reaguje na povlacenje inta signala, ciklus je završen	Sluga	Kada gazda obori inta